

一种基于自偏置技术的低功耗低抖动SerDes 时钟源锁相环设计

孙欣茁^{1*}, 林长龙², 丁健平³, 赵毅强¹, 李 尧¹

(1. 天津大学微电子学院, 天津 300072; 2. 龙芯中科技术股份有限公司芯片研发部, 北京 100080;
3. 中国科学技术大学微电子学院, 安徽合肥 230026)

摘 要: 相比于传统二阶锁相环(Phase-Locked Loop, PLL)结构, 自偏置锁相环可在宽动态范围内保持环路稳定性和响应速度不变, 具有很高的频率稳定性, 可满足各种高精度频率控制应用需求, 适合作为满足多协议标准的串行器/解串器(Serializer/Deserializer, SerDes)物理层(PHysical Layer, PHY)电路时钟源使用, 在宽频率范围和一定电压范围内具有稳定环路特性。传统自偏置锁相环使用两个电荷泵产生对称辅助电压 V_{fs1} 和 V_{fs2} , 这会增加系统功耗和面积, 并且版图失配会在 V_{fs1} 和 V_{fs2} 之间引入静态失配, 电路工作过程中电源压降和局部噪声会在 V_{fs1} 和 V_{fs2} 之间引入动态失配, 这些失配会增加压控振荡器的相位噪声和时钟抖动。针对这一问题, 本文设计一款低功耗低失配电荷泵结构, 由一个电荷泵电路产生 V_{fs1} 和 V_{fs2} , 该结构通过共用电流偏置部分降低系统功耗, 通过设计改进减小输出失配。在实际工作中本设计可同时满足外围组件快速互连(Peripheral Component Interconnect express, PCIe)1.0/2.0/3.0、通用串行总线(Universal Serial Bus, USB)3.0、串行高级技术附件(Serial Advanced Technology Attachment, SATA)1/2/3物理层协议的时钟源要求。SerDes中每4个数据单元共用1个时钟单元, 4个数据单元可分别配置成PCIe的任何速率或分别配置成USB及SATA的任何速率。全电路工作在0.9 V低电压下, 锁相环面积为0.055 3 mm², 压控振荡器(Voltage-Controlled Oscillator, VCO)的调谐范围是3~5 GHz, 环路分频采用6~511分频, 输出分频采用1~255分频, 输出频率范围是11.76 MHz~5 GHz。后仿真结果表明, 锁相环锁定时间2 μ s, 相位噪声为-110 dBc/Hz@1 MHz, 功耗为5.54 mW。测试结果表明, -40~125 $^{\circ}$ C范围内2 000片PLL测试成品率大于99%; 经过片上长距离传输并通过SerDes发送端所送出高速时钟的抖动测试结果远大于仿真结果, 测试结果为2.5 GHz时钟: Random jitter 2.41 ps、period jitter 10.8 ps; 4 GHz时钟: Random jitter 1.8 ps、period jitter 9.28 ps。上述高速时钟经过复杂通路送出导致jitter较大, 而PCIe插槽上100 MHz参考时钟也由PLL产生, 其到输出PAD的路径很短, 测试路径引入的抖动较少可直接测试, 采用示波器内嵌PCIe参考时钟测试软件对PCIe插槽上参考时钟进行测试, RMS jitter(Root-Mean-Square jitter)最差为0.776 8 ps。为证明本文提出的PLL抖动性能满足SerDes PHY, 进行PCIe PHY GEN2速率和GEN3速率测试, 所有结果均满足协议要求且Margin很大。

关键词: 锁相环; 自偏置; 低功耗; 低抖动; 电荷泵; 串行器/解串器

基金项目: 天津市自然科学基金(No.24JCQNJC1370)

中图分类号: TN492; TN911.8

文献标识码: A

文章编号: 0372-2112(2026)04-1903-13

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20250707

Design of a Self-Biased Low-Jitter Low-Power Phase-Locked Loop for SerDes

SUN Xinzhuo^{1*}, LIN Changlong², DING Jianping³, ZHAO Yiqiang¹, LI Yao¹

(1. School of Microelectronics, Tianjin University, Tianjin 300072, China;

2. Chip R&D Department, Loongson Technology Corporation Limited, Beijing 100080, China;

3. School of Microelectronics, University of Science and Technology of China, Hefei, Anhui 230026, China)

Abstract: Compared with conventional second-order PLL (Phase-Locked Loop), the self-biased PLL stands out with its remarkable capability to maintain consistent loop stability and response speed across an extensive dynamic range, while also delivering superior frequency stability. These inherent advantages enable it to satisfy the demanding requirements of various high-precision frequency control applications, rendering it an ideal candidate for serving as the clock source of SerDes (Serializer/Deserializer) PHY (Physical Layer) circuits that are compliant with multiple protocol standards. What is more, the self-biased PLL can provide stable loop characteristics not only over a broad frequency range but also within a

specific voltage range, which further expands its applicability in complex electronic systems. In traditional self-biased PLL architectures, two separate charge pumps are typically utilized to generate symmetric auxiliary voltages, namely V_{fs1} and V_{fs2} . However, this dual-charge-pump configuration inevitably leads to increased system power consumption and a larger chip area footprint, which are critical drawbacks in modern high-density, low-power integrated circuit designs. Additionally, layout mismatches during the manufacturing process can introduce static offsets between V_{fs1} and V_{fs2} . To make matters worse, power supply voltage drops and local noise interference that occur during circuit operation will give rise to dynamic mismatches between these two auxiliary voltages. Both static and dynamic mismatches can significantly degrade the performance of the VCO (Voltage-Controlled Oscillator), manifesting as increased phase noise and clock jitter, which are detrimental to the overall signal integrity of the SerDes PHY system. To tackle the aforementioned issues comprehensively, this paper presents a novel low-power, low-mismatch charge pump structure that is capable of generating both V_{fs1} and V_{fs2} using a single charge pump circuit. The core innovation of this design lies in the sharing of the current bias section among the two output voltage branches, which effectively reduces the number of active components and thus cuts down the overall system power consumption substantially. Furthermore, targeted design improvements, such as symmetric circuit layout optimization and precision current mirror calibration, are implemented to minimize the output mismatches between V_{fs1} and V_{fs2} , thereby mitigating the adverse impacts of static and dynamic offsets on the VCO performance. In practical operation scenarios, the proposed self-biased PLL design can simultaneously act as the clock source for SerDes PHY circuits adhering to a diverse set of mainstream protocols, including PCIe (Peripheral Component Interconnect express) 1.0/2.0/3.0, USB (Universal Serial Bus) 3.0, and SATA (Serial Advanced Technology Attachment) 1/2/3. A key feature of its application in SerDes systems is that every four data units share one dedicated clock unit, and each of these four data units can be independently configured to operate at any data rate specified by the PCIe protocol, or alternatively, be set to run at any rate supported by the USB and SATA protocols respectively. This high degree of configurability makes the PLL highly adaptable to the heterogeneous communication requirements of modern electronic devices. The full integrated circuit of the proposed PLL operates at a low supply voltage of 0.9 V, which is conducive to low-power operation in battery-powered devices. The chip area occupied by the PLL core is merely 0.055 3 mm², demonstrating excellent area efficiency that is essential for integration into compact SerDes PHY chips. The PLL achieves a wide frequency tuning range spanning from 3 GHz to 5 GHz for VCO, covering the frequency bands required by most of the targeted protocols. The loop divider supports division ratios from 6 to 511, and the output divider supports ratios from 1 to 255, resulting in an output frequency range of 11.76 MHz to 5 GHz. Post-layout simulation results validate the superior performance of the design: the PLL exhibits a fast locking time of 2 μ s, a low phase noise of -110 dBc/Hz at an offset frequency of 1 MHz, and a total power consumption of only 5.54 mW, all of which outperform many conventional self-biased PLL designs. Experimental test results further confirm the robustness and reliability of the proposed PLL. Specifically, the yield rate of 2 000 fabricated PLL chips exceeds 99% when operating within the extreme temperature range from -40 °C to 125 °C, indicating excellent manufacturing compatibility and environmental adaptability. Moreover, the jitter test results of the high-speed clock signals transmitted on-chip and output by the SerDes transmitter are significantly larger than the simulation predictions. At an operating frequency of 2.5 GHz, the measured RJ (Random Jitter) is 2.41 ps and the PJ (Period Jitter) is 10.8 ps; when the frequency is increased to 4 GHz, the random jitter is reduced to 1.8 ps and the period jitter is 9.28 ps. The aforementioned high-speed clock incurs significant jitter due to transmission through a complex path. In contrast, the 100 MHz reference clock for the PCIe slot generated by the PLL features an extremely short transmission path to the output PAD, the jitter introduced by the test path is minimal and can be directly measured. A dedicated PCIe reference clock test software embedded in the oscilloscope was adopted to characterize the reference clock at the PCIe slot, with the worst-case RMS (Root-Mean-Square) jitter measured at 0.776 8 ps. To verify the suitability of the proposed PLL structure for SerDes PHY applications, rigorous compliance tests were conducted at PCIe PHY Gen2 and Gen3 data rates. All test metrics not only meet the stringent requirements specified in the corresponding protocol standards but also exhibit ample margins, which provide a solid guarantee for the stable operation of the SerDes system in real-world applications.

Keywords: phase-locked loop; self-biased; low-power; low-jitter; charge pump; serializer/deserializer

Foundation Item(s): Natural Science Foundation of Tianjin (No.24JCQNJC1370)

0 引言

锁相环(Phase-Locked Loop, PLL)通常用于接收低频的片外时钟(通常来自晶体),并生成高频的片内

时钟,即对输入时钟进行精确倍频^[1-2]。在高速数据传输系统中^[3],如SerDes^[4]、无线收发器、磁盘读写通道以及高速接口等^[5],锁相环设计的一个重要挑战是

要具有足够灵活性。因为在一个专用集成电路芯片中存在多个不同速率的高速接口,接口的多样性导致了锁相环所需工作频率和分频数的多样性。对于不同输出频率和分频数的锁相环,必须调整环路参数以最小化抖动,并保证稳定性。

环路带宽描述了 PLL 的响应速率,应约为参考频率的 1/20。阻尼因子描述了稳定性,应约为 1。三阶极点有助于最小化周期抖动,应设置为参考频率的约 1/2。所有这些环路参数都取决于特定的电路参数,如电荷泵电流和环路滤波器电阻、电容,且这些环路参数会随输出频率和分频数的变化而变化。对于多种类接口的 ASIC 设计,如果为每种接口设计一个专用 PLL,时间成本和人力成本很高。因此设计一个 PLL 可以同时满足多种类接口的时钟需求具有重要意义。

在传统锁相环中,参考时钟频率以及反馈分频器的分频数 N 会影响输入频率带宽比 ω 和阻尼因子 ζ ,这会导致抖动性能不佳的问题,甚至会使系统处于不稳定状态^[6]。带宽还会受到工艺、电压以及温度的影响。传统结构的锁相环为了减小输入信号噪声带来的抖动需要减小环路带宽^[7-8],带宽过小会降低环路锁定速度同时影响环路锁定^[9]。文献[10-11]中提出的自偏置锁相环能够自适应地选择最优的工作偏置电平以及电荷泵电流,从而可以解决上述问题。自偏置锁相环可根据环路分频数 N 自动调整锁相环带宽,使锁相环带宽跟踪锁相环的工作频率,从而获得较宽频率范围。总之,自偏置锁相环在稳定性、低抖动、工艺无关性以及宽工作频率范围等方面具有明显优势^[12-14]。

本文设计了一款自偏置锁相环,该锁相环能够产生随参考频率变化的恒定环路参数,并且与环路分频数、输出频率、工艺和环境条件无关。该锁相环应用

于 SerDes PHY (PCIe 1.0/2.0/3.0 PHY, USB 3.0 PHY 和 SATA 1/2/3 PHY) 中,产生高频时钟源。首先,本文回顾自偏置 PLL 设计的基本原理以及其如何获得跟踪环路动态;其次,描述 PLL 设计中使用的多个关键电路,重点介绍改进的双电荷泵结构,详细分析减小失配的方法;最后,展示仿真结果和测试结果,证明该锁相环可有效降低时钟抖动,提高时钟源质量,以及在 SerDes PHY 中应用的可靠性。

1 自偏置锁相环结构及理论分析

在考虑自偏置锁相环之前,首先回顾一下经典二阶锁相环,如图 1 所示。该锁相环由鉴频鉴相器 (Phase-Frequency Detector, PFD)、电荷泵 (Charge Pump, CP)、环路滤波器 (Low-Pass Filter, LPF)、压控振荡器 (Voltage-Controlled Oscillator, VCO) 和环路分频器组成。当处于锁定状态时,锁相环产生的输出频率是参考频率的 N 倍频。由于环路滤波器上的电荷积分和 VCO 中的相位积分,系统具有二阶闭环响应。经典二阶锁相环的频域相位响应由输出相位 $P_O(s)$ 与输入相位 $P_I(s)$ 之比给出,可用标准形式表示为

$$\frac{P_O(s)}{P_I(s)} = N \cdot \frac{1 + 2 \cdot \zeta \cdot \left(\frac{s}{\omega_n}\right)}{1 + 2 \cdot \zeta \cdot \left(\frac{s}{\omega_n}\right) + \left(\frac{s}{\omega_n}\right)^2} \quad (1)$$

其中, ω_n 定义为环路带宽,由下式给出:

$$\omega_n = \sqrt{\frac{I_{CP} K_{VCO}}{C_1 N}} \quad (2)$$

其中, ζ 定义为阻尼因子,由下式给出:

$$\zeta = \frac{1}{2} \sqrt{\frac{I_{CP} K_{VCO} R^2 C_1}{N}} \quad (3)$$

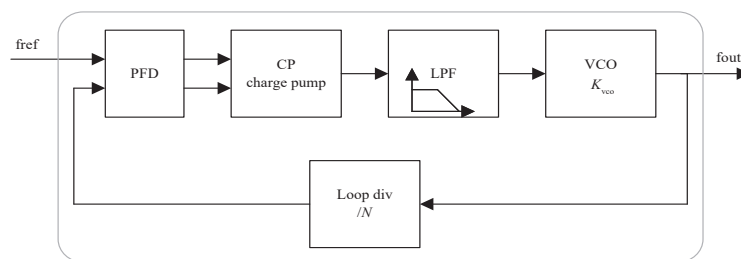


图 1 经典二阶锁相环结构图

Figure 1 Structure of classic second-order phase-locked loop

环路带宽 ω_n 表征了系统的响应速率,而阻尼因子 ζ 则表征了系统的稳定性。当阻尼因子小于 1 时,系统欠阻尼,稳定性较差。其中, I_{CP} 是电荷泵电流; R 和 C_1 分别是环路滤波器的电阻和电容; K_{VCO} 是 VCO 增益; N 是环路分频比^[15]。在传统锁相环的设计中, I_{CP} 、 R 、 C_1 、

N 和 K_{VCO} 都是影响锁相环系统的变量, I_{CP} 、 R 、 C_1 和 K_{VCO} 会随工艺、电压和温度变化, N 会在不同应用场景中有较大变化,这就导致 ω_n 和 ζ 都随 N 等变量的变化而有较大变化,使得锁相环可稳定工作的频率区间很窄。

自偏置结构锁相环可解决传统锁相环结构中系

统特性随电压、工艺、温度和分频比 N 变化较大的问题^[16-17]。如图 2 所示^[15]，自偏置锁相环通过三个重要差异解决了这一问题。首先，自偏置锁相环不是使用与电容器串联的固定电阻，而是利用 VCO 偏置发生器中与输出频率成比例的电阻。其次，自偏置锁相环

不是使用单个电荷泵来驱动 RC 网络，而是使用两个独立的电荷泵 CP1 和 CP2 分别驱动电容器，电压在 VCO 偏置发生器内部进行求和。最后，电荷泵电流是从 VCO 内部生成的电流中按 $1/N$ 比例缩放，以使开环增益与输出频率相关。

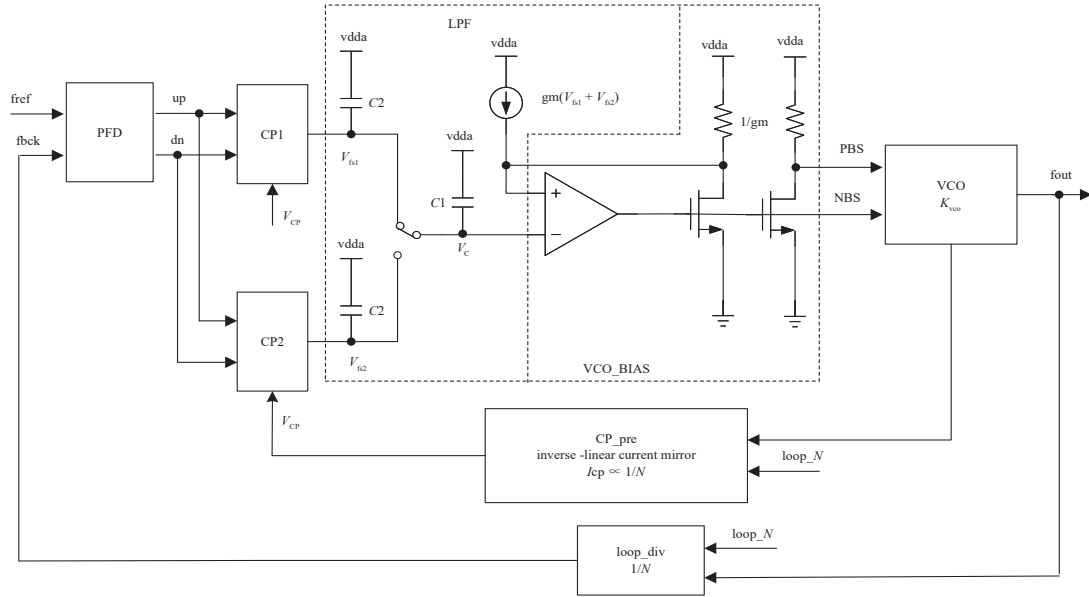


图 2 自偏置锁相环结构图

Figure 2 Structure of self-biased phase-locked loop

自偏置锁相环的环路带宽比和阻尼因子如下所示^[18]：

$$\frac{\omega_n}{\omega_{ref}} = \frac{\sqrt{xN}}{2\pi} \sqrt{\frac{C_B}{C_1}} \quad (4)$$

$$\zeta = \frac{y}{4} \sqrt{\frac{x}{N}} \sqrt{\frac{C_1}{C_B}} = \frac{\sqrt{xN}}{4} \sqrt{\frac{C_1 C_B}{C_2^2}} \quad (5)$$

其中， N 是锁相环环路分频系数； C_1 是环路滤波器电容； C_B 是 VCO 等效电容； x 是电荷泵电流与 VCO 偏置电路尾电流的比值； y 是环路滤波器等效电阻与偏置电路中对称负载的比值。由式(4)和式(5)可知，自偏置锁相环系统的稳定性和响应速度都正比于 \sqrt{xN} ，当锁相环工作在不同频率， N 值变化较大时，会造成系统特性的较大改变，影响环路稳定性和锁相环的锁定相位误差。如果电荷泵电流变化与 N 成反比，也即 x 正比于 $1/N$ ，则可保证环路特性不随 N 的变化而变化，即锁相环的环路带宽和阻尼因子在一个很宽的频率范围内保持稳定。

本文提出的自偏置锁相环结构如图 3 所示，相比于经典自偏置结构的双电荷泵设计，本文将双电荷泵合并为一个电荷泵，共用电路偏置部分，达到低功耗的目的。偏置电流经过电荷泵电流预处理 (Charge

Pump current preprocessing, CP_pre) 模块实现和 $1/N$ 的正比关系，之后送给电荷泵。VCO 采用 5 级差分环形振荡器，延迟单元连接差分扭对迅速提升振荡波形幅度。为了减小环路稳定时间，在控制电压 V_C 上连接快速启动电路，用大电流迅速将 V_C 充电至预设电压，减小 V_C 从 0 开始充放电的时间。本设计中 VCO 的调谐范围是 3~5 GHz，环路分频器采用 6~511 分频，实现宽范围的分频调节，输出分频器采用 1~255 分频，实现宽范围频率输出。

2 主要模块电路设计

2.1 电荷泵(CP)

对于自偏置锁相环中的电荷泵电路，大多采用两个相同的电荷泵结构实现。本文提出了一种新的电荷泵结构，设计思想是将两个相同的电荷泵嵌入到同一个充放电支路中，共用电路偏置部分，以达到低功耗目的。基于上述思想实现的简单电荷泵结构如图 4 所示，MP0 所在支路产生 PMOS 电流镜的偏置电压，MP1 产生电荷泵的充电电流，MN1 产生电荷泵的放电电流，两个电荷泵分别由 up1b/dn1 和 up2b/dn2 控制。电荷泵的控制信号波形如图 5 所示，另外 up 和 upb 以及 dn 和 دنب 是反相信号。电荷泵只在 dn1 或者 dn2 为

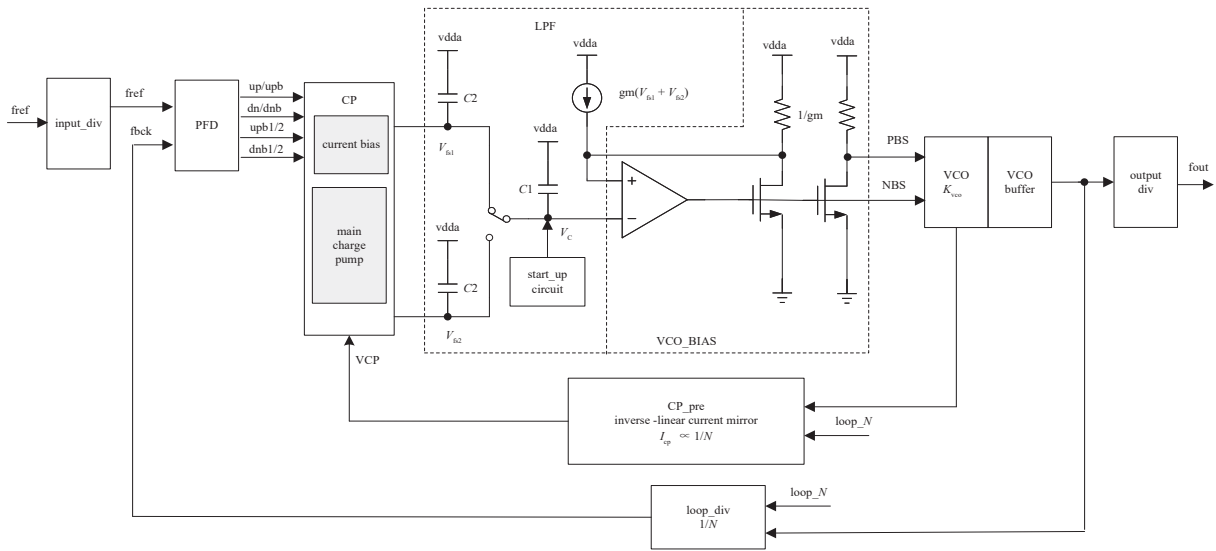


图3 本文提出的自偏置锁相环结构

Figure 3 Structure of the proposed self-biased phase-locked loop

高电平时开启,所以两个电荷泵是交替打开的。

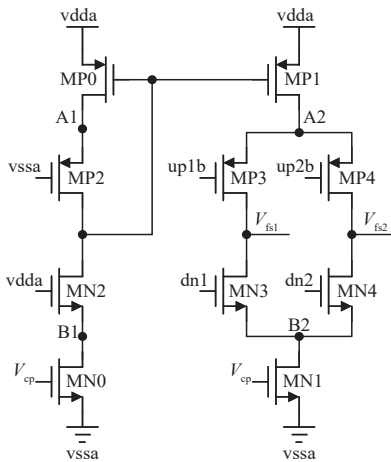


图4 简单的双电荷泵结构

Figure 4 Simple dual-charge-pump structure

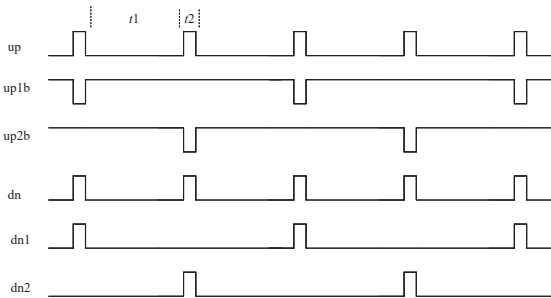


图5 电荷泵输入波形示意图

Figure 5 Charge pump input waveforms

对于图4中的电荷泵,在 $t1$ 时间段,MP1 的漏极被充电到 vdda, MN1 的漏极被放电到 vssa。由于 MOS

管的沟道调制效应,MP1 不能准确镜像 MP0 的电流, MN1 不能准确镜像 MN0 的电流。因此,在 $t2$ 阶段电荷泵工作时,充电电流和放电电流会出现失配,从而导致控制电压波动,使得 VCO 产生的时钟 jitter 变大。文献[5]中提出了一种降低失配的电荷泵结构,如图6所示。该结构中,除了产生偏置电压的支路(MP0 所在支路)和电荷泵支路(MP3 所在支路)外,增加了两个辅助支路。使得尽管 up 和 dn 不停地开关切换,但始终有静态电流流过节点 A 和节点 B。因此,节点 A 和节点 B 的电压可以维持相对稳定,电荷泵的放电电流和流过 MN0 的电流相当。但是,由于 MP3 和 MP0 的漏极电压不同,该结构中电荷泵的充电电流(流过 MP3 的电流)不能精确复制 MP0 的电流。因此,该电荷泵结构仍然存在充电电流和放电电流失配的问题。

对于图4中的电荷泵结构,如果在 $t1$ 时间段,节点 A2 和节点 A1 的电压相等,节点 B2 和节点 B1 的电

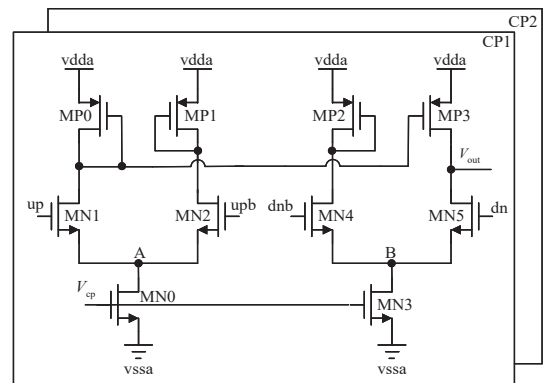


图6 文献[5]中电荷泵结构

Figure 6 Charge pump structure in reference [5]

压相等。那么在 t_2 时间段,电荷泵的充电电流和放电电流失配就会大幅度减小。该思想的具体电路实现如图 7 所示,偏置电压产生支路的开关管 MP2 和 MN2 不再由固定电平控制,而是改为周期变化的信号 upb/dn 控制。并且电荷泵所在充放电路径也增加了两个开关管 MP5 和 MN5,这两个开关管分别由 up/dnb 控制,且其漏极连接到 pbias 节点。开关管 MP2/MN2 和开关管 MP5/MN5 交替开关会导致 pbias 节点偏置电压波动,为减小 pbias 节点电压波动需要增加稳压电容 C0。由于两个电荷泵支路和 MP5/MN5 组成的辅助支路交替开关,所以始终有电流流过节点 A2 和节点 B2,节点 A2 和节点 B2 的电压会保持相对稳定,使得电荷泵充电电流和放电电流失配大幅减小。

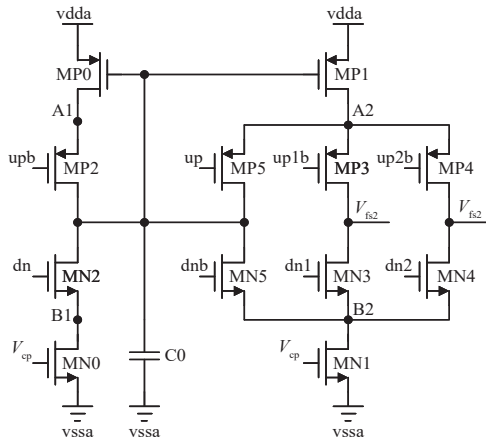


图 7 优化的电荷泵结构

Figure 7 Optimized charge pump structure

对于图 7 中的电荷泵结构,当 upb 为高电平, dn 为低电平时,节点 A1 充电到 vdda,节点 B1 放电到 vssa。当 upb 变为低电平, dn 变为高电平时,充电电流和放电电流可能出现较大的失配,使得 pbias 节点偏置电压波动较大。采用“对称”的思想,从节点 A1 到地增加一条支路,从电源到节点 B1 增加另一条支路,可以解决节点 A1 和节点 B1 电压波动大的问题。具体电路实现如图 8 所示,MP8 支路和 MP2 支路交替打开,所以始终有电流流过节点 A1,节点 A1 会保持稳定。同理 MN6 支路和 MN2 支路交替打开,始终有电流流过节点 B1,节点 B1 也会保持稳定。图 4、图 6 和图 8 中三个电荷泵电流失配的仿真结果如图 9 所示,从图中可以看出,在各 corner 下本文提出的低功耗电荷泵结构具有明显小的电流失配。

2.2 压控振荡器(VCO)

VCO 是锁相环最重要的组成部分,根据控制电压产生预期的频率^[19]。采用电感结构的 VCO 面积大^[20],考虑芯片成本,本设计中的 VCO 采用 5 级差分

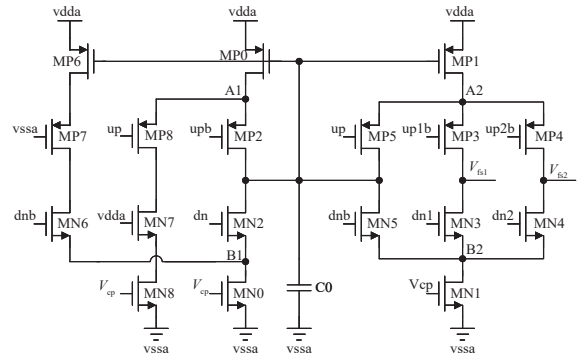


图 8 本文提出的低功耗低失配电荷泵结构

Figure 8 Proposed low-power low-mismatch charge pump structure

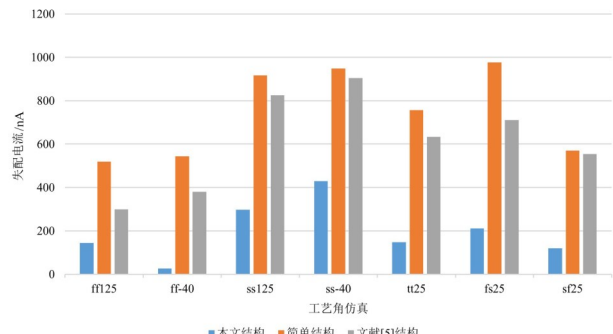


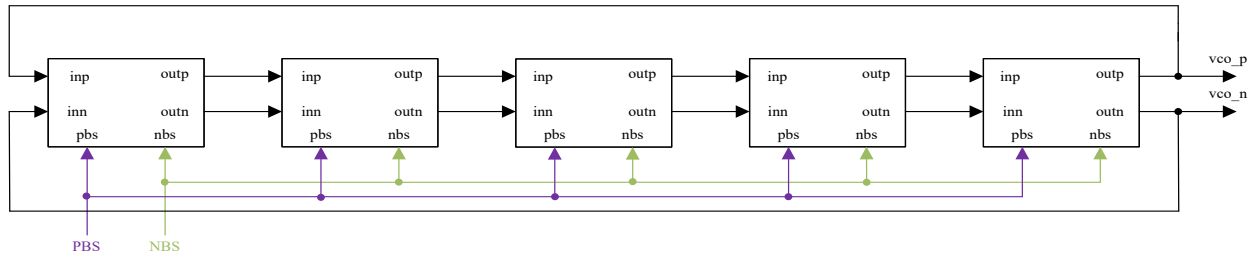
图 9 各结构失配电流比较

Figure 9 Comparison of mismatch currents of different structures

级联环振荡器,每级延迟单元受偏置电路产生的控制电压 PBS 和 NBS 控制, VCO 的结构如图 10(a) 所示, VCO 的延迟单元结构如图 10(b) 所示。延迟单元中 MP3、MP4、MN2 和 MN3 构成的交叉扭对有助于迅速放大 VCO 振荡波形幅度。VCO 输出时钟信号幅度大有助于 VCO 输出缓冲器快速将模拟时钟信号转换成满摆幅信号。其余部分构成延迟单元的主体结构,使用由两个 PMOS 管并联组成负载管,即一个处于线性区 PMOS 管和一个相同尺寸的二极管连接 PMOS 管。相比于使用单个线性区 PMOS 管,这种结构在输出电压全摆幅范围内,可提供更线性的输出电阻,并能弱化工艺影响,保证在工艺变化时仍有良好性能。同时,这种负载实现方式可控制缓冲延迟,提高 VCO 的相位噪声性能,并实现对电源噪声的高动态抑制。

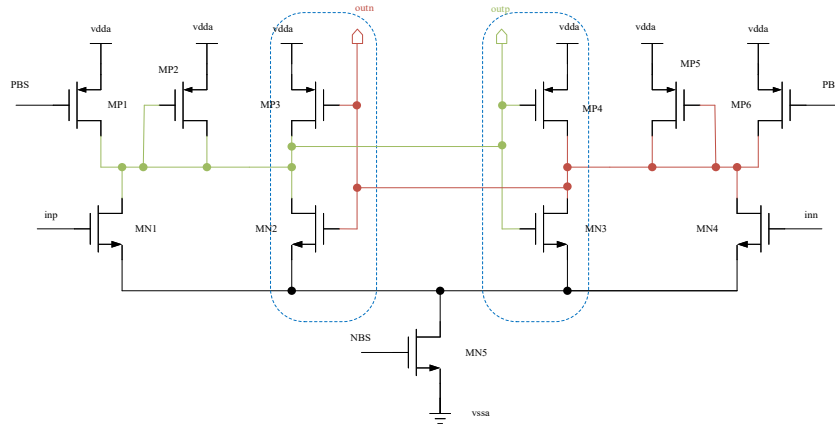
2.3 压控振荡器偏置电路

偏置生成电路如图 11 所示,主要作用是根据输入电压 V_C 和 V_{fs1} 、 V_{fs2} 生成 VCO 的偏置电压 PBS 和 NBS,并通过 NBS 为整个环路提供偏置电流,电荷泵电荷预处理模块就是通过 NBS 获得自偏置电流。偏置生成电路主要通过一个差分放大器和一个半缓冲复制电路来实现,差分放大器的一个输入端连接到 V_C ,并调节偏置电压 NBS,使半缓冲器复制电路的输



(a) 5级 VCO 结构

(a) 5-stage VCO structure



(b) VCO delaycell 结构

(b) VCO delaycell structure

图 10 VCO 结构

Figure 10 VCO structure

出端电压等于 V_c 。偏置电路中还有一级缓冲器电路在偏置电压 PBS 输出端提供经缓冲的 V_c 电压^[21]。该

输出端将 V_c 与后级潜在的电容耦合隔离开来,在自偏置锁相环设计中起着重要作用。

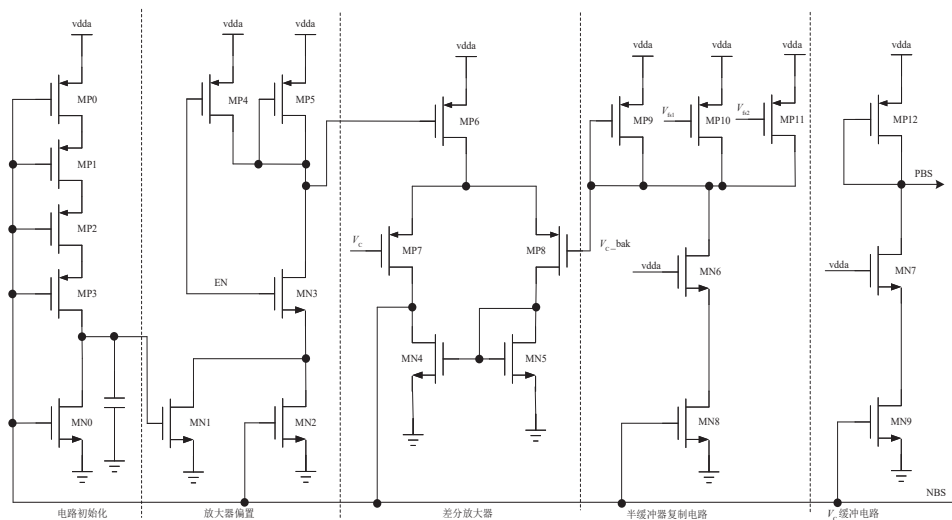


图 11 偏置生成电路结构图

Figure 11 Structure of the bias generation circuit

由于偏置生成电路需要自己进行偏置,存在不启动的风险,因此图 11 增加了电路初始化部分。

2.4 鉴频鉴相器(PFD)

PFD 电路主要功能是对参考时钟和反馈时钟的相位进行比较,根据二者相位差生成 up/dn 信号。输入参考信号与输出反馈信号之间的相移,决定了 up/dn 信号的脉冲宽度^[22]。这些信号用于驱动电荷泵,电

荷泵利用 PFD 的输出信号,通过对环路滤波器中的电容进行充电或放电来产生控制电压。up/dn 信号的脉冲宽度与电容的电荷量变化成正比^[23-25],因此 VCO 振荡频率的升高或降低,根本上取决于输入参考信号与输出反馈信号(fref 与 fbck)之间的相位差,PFD 电路如图 12(a)所示。图 12(b)展示了不同 up/dn 信号组合下的状态转换图。

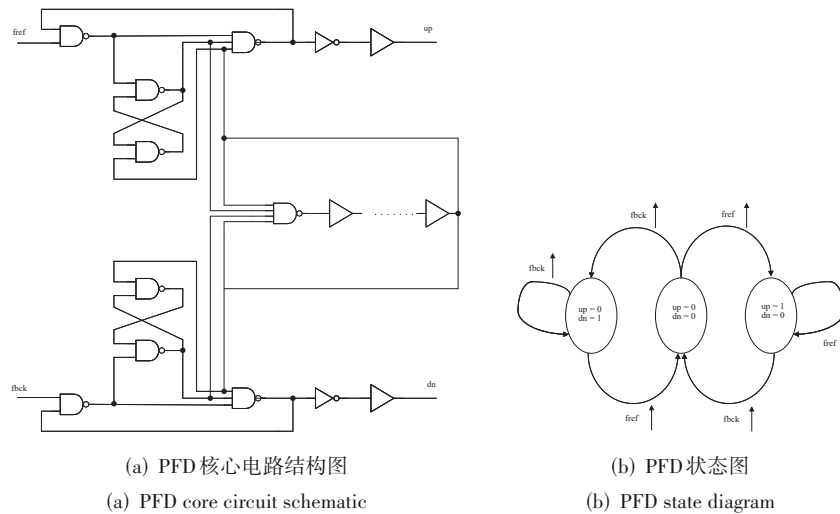


图 12 PFD 电路及功能图

Figure 12 PFD circuit and functional diagram

3 测试结果

本文提出的应用于高速 SerDes 的锁相环采用 28 nm 工艺设计,锁相环芯片照片和版图如图 13 所示,版图面积为 $216 \mu\text{m} \times 256 \mu\text{m}$ 。锁相环后仿真采用 50 MHz 输入信号,由 Matlab 程序算出的环路稳定性和相位噪声特性如图 14 所示。

锁相环电源电压 0.9 V,输入 50 MHz 信号,环路倍频因子设置为 100,VCO 工作在 5 GHz,VCO 高频时钟的眼图和抖动如图 15 所示,统计 10 000 个码元周期后可得出,码元眼宽为 99.4 ps,眼图抖动峰峰值小于 1 ps,相邻周期抖动的 J_{C-C} 约为 9.25 fs,且仿真结果显示锁相环锁定时间约为 2 μs 。

使用 ATE (Automatic Test Equipment) 批量测试 PLL 的频率范围,设计和应用中 PLL 频率为 3~5 GHz。对 2 000 颗芯片在 2.5~6.75 G 频率范围内以 250 M 为步长进行多频点测试,测试结果如表 1 所示,可见在 -40~125 $^{\circ}\text{C}$ 范围内,PLL 成品率大于 99%。

实际测试中 PLL 高速时钟通过 SerDes 发送端送出,SerDes 兼容 PCIe 1.0/2.0/3.0、USB 3.0、SATA 1/2/3 物理层协议,最高数据速率 8 Gbps,可送出 4 GHz 时钟,测试路径如图 16 所示,被测 PLL 位于 SerDes 中

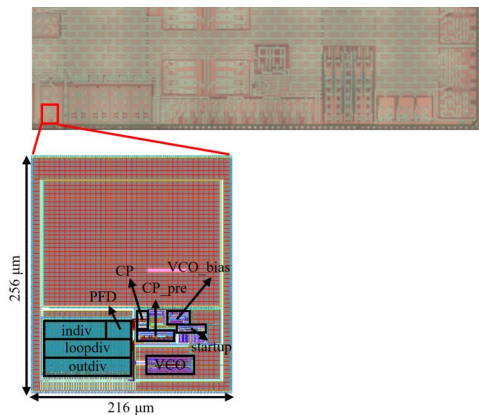


图 13 锁相环的芯片照片和版图

Figure 13 Chip photo and layout of the phase-locked loop

Clockslic 内部,被测 PLL 的输入参考时钟来自 PCIe 参考时钟产生模块,该模块的功能是产生 100 MHz 参考时钟既作为片内 PCIe PHY 的时钟源,同时又把 100 MHz 参考时钟送到片外 PCIe 插槽作为 PCIe 卡的时钟源。被测 PLL 的高速时钟通过驱动电路送至片内时钟传输线,Dataslice 从片内时钟传输线接收时钟,经过处理得到发送端时钟和接收端时钟,发送端电路可将发送端时钟通过旁路路径送至片外。

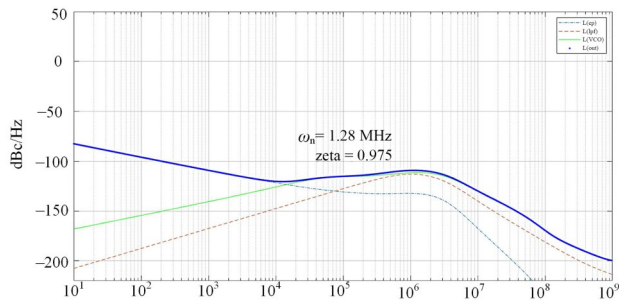
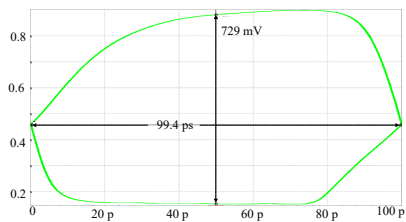


图 14 锁相环的相位噪声特性和稳定性

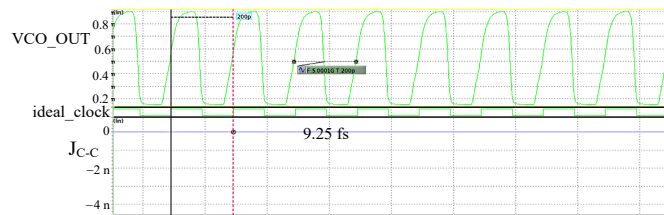
Figure 14 Phase noise and stability of the phase-locked loop

输出 2.5 GHz 和 4 GHz 高频时钟的测试结果分别如图 17 和图 18 所示,测试结果表明 2.5 GHz 的随机抖动(Random Jitter, RJ)为 2.41 ps, 20 539 个时钟周期内,时钟周期最大和最小相差 10.8 ps; 4 GHz 的 RJ 为 1.8 ps, 203 952 个时钟周期内,时钟周期最大和最小相差 9.28 ps。PLL 输出时钟 jitter 的测试结果远大于其仿真结果,原因有三点:(1)PLL 输出时钟在芯片内进行了远距离传输,并在 Dataslice 内部经过了复杂逻辑,时钟路径过长导致时钟 jitter 增加;(2)PLL 和 Dataslice 的供电在封装上合并了,四个 Dataslice 同时发送信号,会引入电源扰动和串扰;(3)Dataslice 电源噪声大,使得



(a) VCO 时钟眼图

(a) Eye diagram of VCO clock



(b) VCO 抖动分析

(b) VCO jitter analysis

图 15 5 GHz 时钟仿真结果

Figure 15 Simulation results of 5 GHz clock

表 1 PLL 三温批量测试结果

Table 1 Three-temperature test results of the PLL

| 温度 | PASS | | | | | | | FAIL | 成品率 |
|--------|----------|-----------|-----------|-------|--------|-------|-------|------|--------|
| | 2.5~6.75 | 2.75~6.75 | 2.75~6.25 | 3~5.5 | 3~6.25 | 3~6.5 | 3~5.5 | <3~5 | |
| 125 °C | 1 971 | 3 | 3 | 4 | 3 | 3 | 1 | 12 | 99.4% |
| 25 °C | 2 000 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 100% |
| -40 °C | 1 958 | 1 | 5 | 4 | 5 | 5 | 5 | 17 | 99.15% |

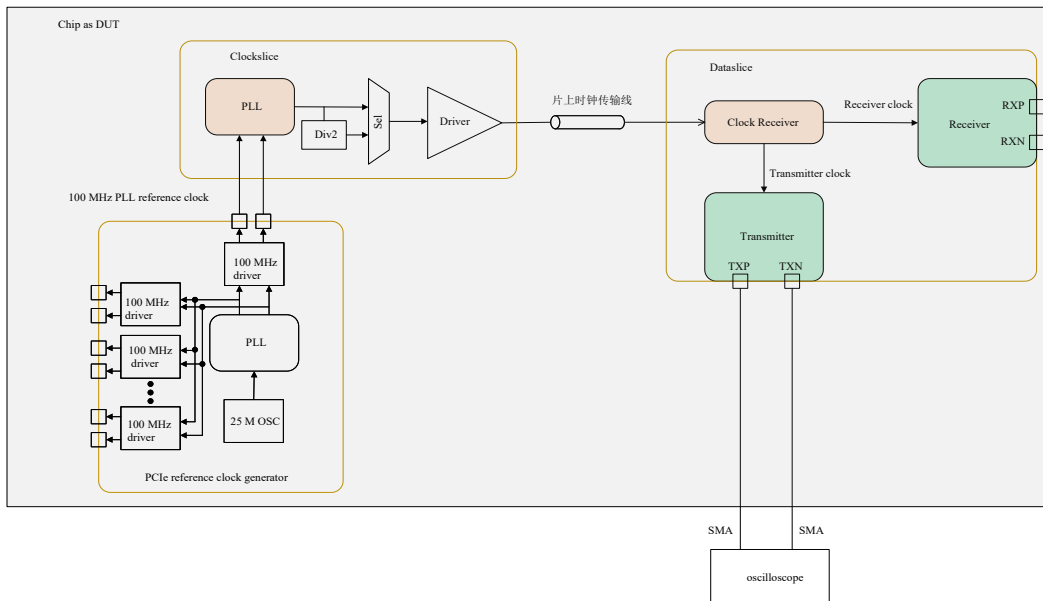
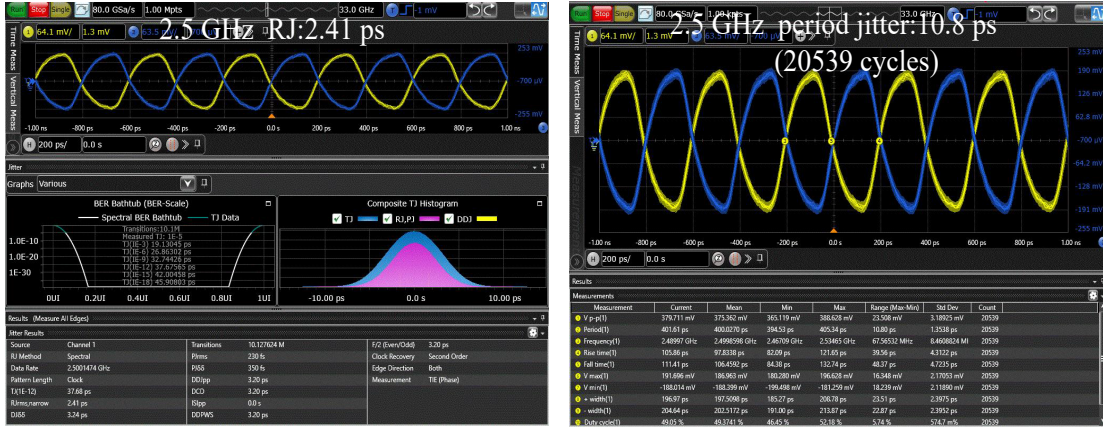


图 16 PLL 测试路径示意图

Figure 16 Diagram of the PLL test path

时钟 jitter 变大。为了证明本文提出的 PLL 结构适合 SerDes PHY, 图 19 给出了采用本文提出的 PLL, PCIe PHY GEN2 速率和 GEN3 速率的测试结果, 所有结果均满足协议要求, 且 Margin 很大。采用示波器内嵌 PCIe

参考时钟测试软件进行 PCIe 插槽上参考时钟测试, 结果如图 20 所示, RMS jitter 最差为 0.776 8 ps, 测试结果均满足 PCIe GEN3 对参考时钟的要求。该结果可以证明本文所设计的 PLL 分频到 100 MHz 后性能良好。



(a) 2.5 GHz 波形及 RJ 分析

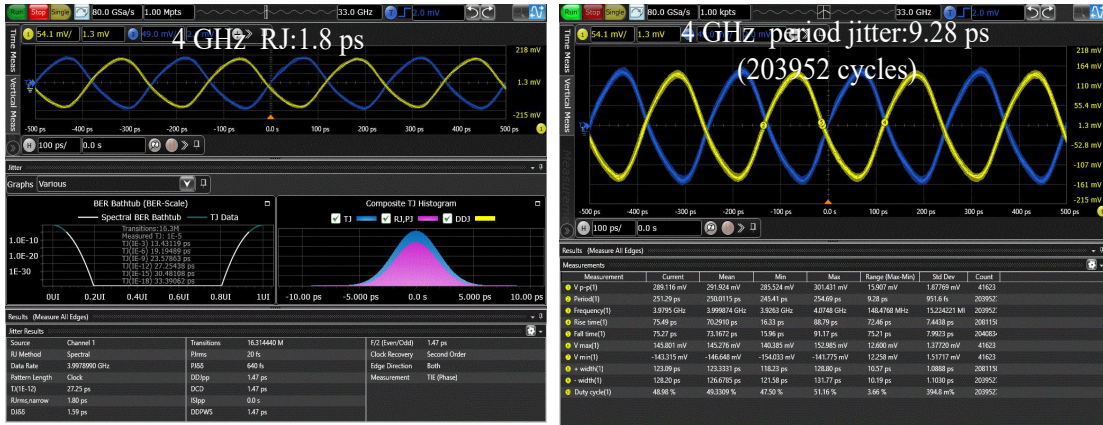
(a) Waveform and random jitter analysis at 2.5 GHz

(b) 2.5 GHz period jitter 分析

(b) Period jitter analysis at 2.5 GHz

图 17 2.5 GHz 测试结果

Figure 17 Test results at 2.5 GHz



(a) 4 GHz 波形及 RJ 分析

(a) Waveform and random jitter analysis at 4 GHz

(b) 4 GHz period jitter 分析

(b) Period jitter analysis at 4 GHz

图 18 4 GHz 测试结果

Figure 18 Test results at 4 GHz

PLL 的功耗是 5.54 mW, 功耗在各部分的分布如图 21 所示。

本设计的 PLL 与其他 PLL 的性能对比结果如表 2 所示。

4 结论

本文基于 28 nm CMOS 工艺设计了低功耗低抖动的自偏置 PLL, VCO 在 3~5 GHz 连续振荡, 主要设计提升基于以下两点: 首先, 自偏置结构中 VCO 噪声抑制加强, 并对 VCO 的延迟单元进行结构改进, 加入扭

对, 提升振荡幅度; 其次, 低压低失配 CP 的引入, 可以减小失配同时降低功耗。仿真结果表明, 该锁相环有良好的抖动性能, 相位噪声可达 -110 dBc/Hz@1 MHz, 5 GHz 时功耗仅为 5.54 mW。测试结果表明, 经 SerDes 发送端送出的时钟, 4 GHz 时钟 RJ 为 1.8 ps, 5 GHz 二分频为 2.5 GHz 时钟 RJ 为 2.41 ps, 为证明本文提出的 PLL 抖动性能满足 SerDes PHY, 进行 PCIe PHY GEN2 速率和 GEN3 速率测试, 所有结果均满足协议要求且 Margin 很大。

Summary of Results

| Test Statistics | | Margin Thresholds | | PCIe PHY GEN2 速率 协议测试结果 | | |
|-----------------|----|-------------------|-------|----------------------------|--|--|
| Failed | 0 | Warning | < 5 % | | | |
| Passed | 12 | Critical | < 0 % | | | |
| Total | 12 | | | | | |

| Pass | # Failed | # Trials | Test Name (click to jump) | Actual Value | Margin | Pass Limits |
|------|----------|----------|---|--------------|---------|---------------------------------------|
| ✓ | 0 | 1 | RootComplex_Tests_Unit Interval (5.0 GT/s) | 200.00000 ps | 50.0 % | 159.24000 ps <= VALUE <= 200.04000 ps |
| ✓ | 0 | 1 | RootComplex_Tests_Template Tests (5.0 GT/s) | Pass | 100.0 % | VALUE = 0.000 |
| ✓ | 0 | 1 | RootComplex_Tests_Peak Differential Output Voltage (Transition)(5.0 GT/s) | 852.1 mV | 38.7 % | 300.0 mV <= VALUE <= 1.2000 V |
| ✓ | 0 | 1 | RootComplex_Tests_Peak Differential Output Voltage (Non-Transition)(5.0 GT/s) | 733.0 mV | 48.1 % | 300.0 mV <= VALUE <= 1.2000 V |
| ✓ | 0 | 1 | RootComplex_Tests_Eye-Width with crosstalk (5.0 GT/s) | 137.32 ps | 44.5 % | VALUE >= 95.00 ps |
| (f) | 0 | 1 | RootComplex_Tests_RMS Random Jitter with crosstalk (5.0 GT/s) | 2.573 ps | 100.0 % | Information Only |
| ✓ | 0 | 1 | RootComplex_Tests_Maximum Deterministic Jitter with crosstalk (5.0 GT/s) | 12.442 ps | 78.2 % | VALUE <= 57.000 ps |
| ✓ | 0 | 1 | RootComplex_Tests_Total Jitter at BER-12 with crosstalk (5.0 GT/s) | 62.676 ps | 40.3 % | VALUE <= 105.000 ps |
| ✓ | 0 | 1 | RootComplex_Tests_Eye-Width without crosstalk (5.0 GT/s) | 139.53 ps | 29.2 % | VALUE >= 108.00 ps |
| (f) | 0 | 1 | RootComplex_Tests_RMS Random Jitter without crosstalk (5.0 GT/s) | 3.389 ps | 100.0 % | Information Only |
| ✓ | 0 | 1 | RootComplex_Tests_Maximum Deterministic Jitter without crosstalk (5.0 GT/s) | 12.830 ps | 70.8 % | VALUE <= 44.000 ps |
| ✓ | 0 | 1 | RootComplex_Tests_Total Jitter at BER-12 without crosstalk (5.0 GT/s) | 60.472 ps | 34.3 % | VALUE <= 92.000 ps |

Summary of Results

| Test Statistics | | Margin Thresholds | | PCIe PHY GEN3 速率 协议测试结果 | | |
|-----------------|---|-------------------|-------|----------------------------|--|--|
| Failed | 0 | Warning | < 5 % | | | |
| Passed | 5 | Critical | < 0 % | | | |
| Total | 5 | | | | | |

| Pass | # Failed | # Trials | Test Name (click to jump) | Actual Value | Margin | Pass Limits |
|------|----------|----------|---|--------------|---------|---------------------------------------|
| ✓ | 0 | 1 | RootComplex_Tests_Unit Interval (8.0 GT/s) | 125.00000 ps | 50.0 % | 124.96000 ps <= VALUE <= 125.04000 ps |
| ✓ | 0 | 1 | RootComplex_Tests_Template Tests (8.0 GT/s) | Pass | 100.0 % | VALUE = 0.000 |
| ✓ | 0 | 1 | RootComplex_Tests_Peak Differential Output Voltage (Transition)(8.0 GT/s) | 546.4 mV | 43.9 % | 34.0 mV <= VALUE <= 1.2000 V |
| ✓ | 0 | 1 | RootComplex_Tests_Peak Differential Output Voltage (Non-Transition)(8.0 GT/s) | 548.6 mV | 44.1 % | 34.0 mV <= VALUE <= 1.2000 V |
| ✓ | 0 | 1 | RootComplex_Tests_Eye-Width (8.0 GT/s) | 88.21 ps | 113.8 % | VALUE >= 41.25 ps |

图 19 PCIe PHY GEN2和GEN3速率协议测试结果

Figure 19 PCIe PHY protocol test results for GEN2 and GEN3 data rates

表 2 本设计与其他设计的比较

Table 2 Comparison between this design and other designs

| 结构出版年份 | 文献[15]2021 | 文献[16]2023 | 文献[18]2017 | 文献[24]2025 | 文献[25]2025 | 本文结构 |
|--------------------|------------|------------|-------------|-----------------------------|------------|----------------------|
| 工艺/nm | 28 | 40 | 65 | 130 | 65 | 28 |
| 供电电压/V | 0.9 | — | 1.2 | 3.3 | 1.2 | 0.9 |
| 功耗/mW | — | — | 32 | 95 | 6.6 | 5.54 |
| 面积/mm ² | — | 0.209 | — | 1.8 | 0.42 | 0.055 3 |
| VCO 范围/GHz | 3~6 | 1~4 | 0.5~3.125 | 1~5.8 | 4.8~5.38 | 3~5 |
| 输出频率/GHz | 3~6 | 1~4 | 0.5~3.125 | 0.15~5.8 | 4.8~5.38 | 3/255~5 ^b |
| 锁定时间/us | 3 | — | — | — | 2.5 | 2 |
| 相位噪声/(dBc/Hz) | — | — | -79.7@1 MHz | -103.5@0.2 MHz ^a | -110@1 MHz | -110@1 MHz |
| Adaptive Bandwidth | Yes | Yes | Yes | No | No | Yes |

注:(a)不包含 VCO;(b)PLL 输出分频范围 1~255,故输出频率为 3/255~5 GHz。

| Ref Clock Filter Response | PLL1 | | | | PLL2 | | | |
|---------------------------|--------------------------|----------------------------|--------------------------|----------------------------|--------------------------|----------------------------|--------------------------|----------------------------|
| | BW: 2 Damping Factor: 14 | BW: 2 Damping Factor: 0.73 | BW: 4 Damping Factor: 14 | BW: 4 Damping Factor: 0.73 | BW: 2 Damping Factor: 14 | BW: 2 Damping Factor: 1.15 | BW: 5 Damping Factor: 14 | BW: 5 Damping Factor: 1.15 |
| PLL1 | 0.2268 ps | 0.282 ps | 0.5147 ps | 0.5054 ps | 0.2268 ps | 0.2146 ps | 0.6296 ps | 0.6118 ps |
| | 0.3786 ps | 0.1726 ps | 0.6686 ps | 0.641 ps | 0.3786 ps | 0.2628 ps | 0.7768 ps | 0.7577 ps |
| | 0.3769 ps | 0.5039 ps | 0.4207 ps | 0.3839 ps | 0.3769 ps | 0.4227 ps | 0.5145 ps | 0.4547 ps |
| | 0.4622 ps | 0.508 ps | 0.5415 ps | 0.329 ps | 0.4622 ps | 0.4686 ps | 0.6412 ps | 0.5312 ps |
| PLL2 | 0.2268 ps | 0.282 ps | 0.5147 ps | 0.5054 ps | 0.2268 ps | 0.2146 ps | 0.6296 ps | 0.6118 ps |
| | 0.2643 ps | 0.2001 ps | 0.5848 ps | 0.5658 ps | 0.2843 ps | 0.1983 ps | 0.6978 ps | 0.6796 ps |
| | 0.4663 ps | 0.6005 ps | 0.4372 ps | 0.4224 ps | 0.4663 ps | 0.5205 ps | 0.5099 ps | 0.4503 ps |
| | 0.4895 ps | 0.5916 ps | 0.4735 ps | 0.3554 ps | 0.4895 ps | 0.5268 ps | 0.5547 ps | 0.4546 ps |

图 20 PCIe参考时钟产生模块的 100 MHz 时钟测试结果

Figure 20 Test results of 100 MHz clock from PCIe reference clock generation module

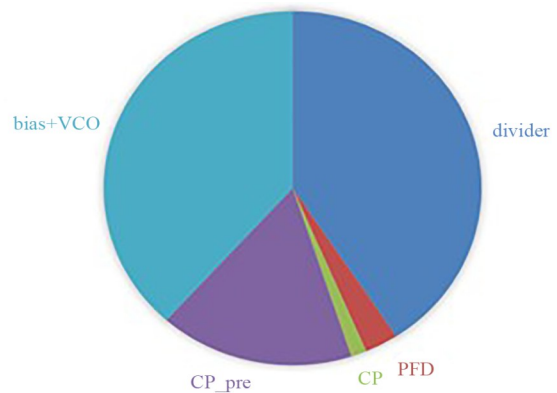


图 21 PLL 功耗分布

Figure 21 Power distribution of PLL

参考文献

- [1] 曾兆权, 旭阳欣, 马丁·马林森, 等. 一种基于有限脉冲响应滤波器的时钟倍频器设计[J]. 电子学报, 2023, 51(10): 2791-2800. Zeng Zhaoquan, Xu Yangxin, Mallinson M, et al. A design of clock frequency multiplication circuit based on finite impulse response filter[J]. Acta Electronica Sinica, 2023, 51(10): 2791-2800. (in Chinese)
- [2] 桑浩, 袁珩洲, 郭阳, 等. 一种用于片上时钟系统的单粒子不敏感振荡器[J]. 电子学报, 2025, 53(9): 3202-3210. Sang Hao, Yuan Hengzhou, Guo Yang, et al. A single-event immune oscillator for on-chip clock systems[J]. Acta Electronica Sinica, 2025, 53(9): 3202-3210. (in Chinese)
- [3] 周高磊, 毛陆虹, 谢生, 等. 高速率、高摆幅的 CMOS 光接收机模拟前端电路设计[J]. 天津大学学报(自然科学与工程技术版), 2021, 54(11): 1187-1193. Zhou Gaolei, Mao Luhong, Xie Sheng, et al. Design of high-speed, high-swing analog front-end circuit in CMOS[J]. Journal of Tianjin University (Science and Technology), 2021, 54(11): 1187-1193. (in Chinese)
- [4] 文溢, 陈建军, 梁斌, 等. 28 nm CMOS 工艺 8-Gbps SerDes 单粒子辐射特性研究[J]. 电子学报, 2022, 50(11): 2653-2658. Wen Yi, Chen Jianjun, Liang Bin, et al. Research on single-event radiation characteristics of an 8-Gbps SerDes in a 28 nm CMOS technology[J]. Acta Electronica Sinica, 2022, 50(11): 2653-2658. (in Chinese)
- [5] Yuan Hengzhou, Guo Yang, Liu Yao, et al. A self-biased low-jitter process-insensitive phase-locked loop for 1.25 Gb/s-6.25 Gb/s SerDes[J]. Chinese Journal of Electronics, 2018, 27(5): 1009-1014.
- [6] Ghosh P P, Xiao E. A 2.5 GHz radiation hard fully self-biased PLL using 0.25 μm SOS-CMOS technology[C]//2009 IEEE International Conference on IC Design and Technology. Piscataway: IEEE, 2009: 121-124. DOI: 10.1109/ICICDT.2009.5166278.
- [7] Xu Dingxin, Zhang Yuncheng, Huang Hongye, et al. A 6.5-to-8-GHz cascaded dual-fractional- N digital PLL achieving -52.79-dBc fractional spur with 50-MHz reference[J]. IEEE Journal of Solid-State Circuits, 2025, 60(3): 1043-1055. DOI: 10.1109/JSSC.2024.3447021.
- [8] Duan Yu, Zhu Yan, Martins R P, et al. A PVT-robust 5.5 GHz fractional- N cascaded RO-based digital PLL with voltage-domain feedforward noise cancellation[C]//2025 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2025: 324-326. DOI: 10.1109/ISSCC49661.2025.10904636.
- [9] 林美东, 文治平, 张健. 基于自偏置技术的高速 SERDES 芯片 PLL 设计[J]. 微处理机, 2016, 37(3): 1-4. Lin Meidong, Wen Zhiping, Zhang Jian. PLL design of high speed SERDES chips based on self-biased technique[J]. Microprocessors, 2016, 37(3): 1-4. (in Chinese)
- [10] Maneatis J G. Low-jitter process-independent DLL and PLL based on self-biased techniques[J]. IEEE Journal of Solid-State Circuits, 1996, 31(11): 1723-1732. DOI: 10.1109/JSSC.1996.542317.
- [11] Maneatis J G, Kim J, McClatchie I, et al. Self-biased high-bandwidth low-jitter 1-to-4096 multiplier clock generator PLL[J]. IEEE Journal of Solid-State Circuits, 2003, 38(11): 1795-1803. DOI: 10.1109/JSSC.2003.818298.
- [12] Hu Ang, Liu Dongsheng, Zhang Kefeng. A 0.03- to 3.6-GHz frequency synthesizer with self-biased VCO and quadrature-input quadrature-output frequency divider[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(12): 1997-2001. DOI: 10.1109/TCSII.2019.2899506.
- [13] Liu Yajiao, Yue Suge, Han Xupeng, et al. A low-jitter 10GHz PLL based on adaptive bandwidth technique for multi-rate serial link data transmitter[C]//2019 IEEE 3rd Information Technology, Networking, Electronic and Automation Control Conference (ITNEC). Piscataway: IEEE, 2019: 2209-2212. DOI: 10.1109/ITNEC.2019.8729505.
- [14] Zhong Naizao, Zhang Runxi, Shi Chunqi, et al. A bandwidth-tracking self-biased 5-to-2800 MHz low-jitter clock generator in 55nm CMOS[C]//2018 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS). Piscataway: IEEE, 2018: 57-60. DOI: 10.1109/APCCAS.2018.8605563.
- [15] Wang Binghui, Yang Haigang, Jia Yiping. A 3-6 GHz 5-to-512 multiplier adaptive fast-locking self-biased PLL in 28nm CMOS[C]//2021 IEEE International Symposium on Circuits and Systems (ISCAS). Piscataway: IEEE, 2021: 1-5. DOI: 10.1109/ISCAS51556.2021.9401165.
- [16] 邓涵, 韦雪明, 尹仁川, 等. 一种自适应可重构宽带低抖动锁相环时钟[J]. 微电子学, 2023, 53(1): 89-94. DOI: 10.13911/j.cnki.1004-3365.220056. Deng Han, Wei Xueming, Yin Renchuan, et al. A wide-band low jitter PLL clock with adaptive reconfigurable charge pump[J]. Microelectronics, 2023, 53(1): 89-94. DOI: 10.13911/j.cnki.1004-3365.220056. (in Chinese)
- [17] Viswanathan B, Nair S R R, Viswam V, et al. 4 GHz 130nm low voltage PLL based on self biased technique[C]//2010 23rd International Conference on VLSI Design. Piscataway: IEEE, 2010: 330-334. DOI: 10.1109/VLSI.Design.2010.21.
- [18] 盛炜, 张国华, 杨霄垒, 等. 一种基于自偏置技术的低抖动锁相环[J]. 微电子学, 2017, 47(3): 351-354. DOI: 10.13911/j.cnki.1004-3365.2017.03.013. Sheng Wei, Zhang Guohua, Yang Xiaolei, et al. A low jitter PLL based on self-biased technique[J]. Microelec-

tronics, 2017, 47(3): 351-354. DOI: 10.13911/j.cnki.1004-3365.2017.03.013. (in Chinese)

- [19] 王子轩, 王山虎, 王鑫, 等. 一种基于相位误差校正技术的快速启动晶体振荡器[J]. 电子学报, 2024, 52(4): 1182-1188.
Wang Zixuan, Wang Shanhu, Wang Xin, et al. A fast startup crystal oscillator based on phase-error correction technique[J]. Acta Electronica Sinica, 2024, 52(4): 1182-1188. (in Chinese)
- [20] 陈喆, 王品清, 周培根, 等. 基于 45 nm CMOS SOI 工艺的毫米波双频段低相噪压控振荡器设计[J]. 电子学报, 2024, 52(7): 2161-2169.
Chen Zhe, Wang Pinqing, Zhou Peigen, et al. Design of a millimeter-wave dual-band low phase noise VCO in 45 nm CMOS SOI process[J]. Acta Electronica Sinica, 2024, 52(7): 2161-2169. (in Chinese)
- [21] 范昊, 黄鲁, 胡腾飞. 一种基于自偏置技术的低功耗锁相环设计[J]. 微电子学, 2015, 45(2): 196-199. DOI: 10.13911/j.cnki.1004-3365.2015.02.012.
Fan Hao, Huang Lu, Hu Tengfei. Design of a low power PLL based on self-biased techniques[J]. Microelectronics, 2015, 45(2): 196-199. DOI: 10.13911/j.cnki.1004-3365.2015.02.012. (in Chinese)
- [22] 赵毅强, 叶泽宇, 叶茂, 等. 具有快速再锁定特性的亚采样锁相环设计[J]. 天津大学学报(自然科学与工程技术

版), 2024, 57(7): 711-720.

- Zhao Yiqiang, Ye Zeyu, Ye Mao, et al. Design of a sub-sampling phase-locked loop with fast relocking characteristics[J]. Journal of Tianjin University (Science and Technology), 2024, 57(7): 711-720. (in Chinese)
- [23] Trivedi P, Tiwari B B. High operating frequency, low-power PFD for PLL applications[C]//2023 14th International Conference on Computing Communication and Networking Technologies (ICCCNT). Piscataway: IEEE, 2023: 1-5. DOI: 10.1109/ICCCNT56998.2023.10307191.
- [24] 傅海鹏, 毕宇昕, 王志鹏, 等. 0.15~5.8 GHz 超宽带多功能锁相环设计[J]. 湖南大学学报(自然科学版), 2025, 52(6): 187-194. DOI: 10.16339/j.cnki.hdxzbzkb.2025188.
Fu Haipeng, Bi Yuxin, Wang Zhipeng, et al. Design of multifunctional phase-locked loop for 0.15~5.8 GHz ultra wideband[J]. Journal of Hunan University (Natural Sciences), 2025, 52(6): 187-194. DOI: 10.16339/j.cnki.hdxzbzkb.2025188. (in Chinese)
- [25] 李铁虎, 郭超东, 张伟, 等. 一种基于 65 nm CMOS 工艺的低相噪低功耗电荷泵锁相环[J]. 微电子学, 2025, 55(3): 364-369. DOI: 10.13911/j.cnki.1004-3365.240204.
Li Tiehu, Guo Chaodong, Zhang Wei, et al. A low phase noise low power CPPLL based on 65 nm CMOS process[J]. Microelectronics, 2025, 55(3): 364-369. DOI: 10.13911/j.cnki.1004-3365.240204. (in Chinese)

作者简介



孙欣茁 女, 1989年10月出生于吉林省敦化市。现为天津大学微电子学院博士研究生。主要研究方向为高速电路设计。
E-mail: sunxinzhuo@tju.edu.cn



赵毅强 男, 1964年12月出生于河北省石家庄市。现为天津大学微电子学院教授、博士生导师。主要研究方向为混合信号集成电路设计和硬件安全。
E-mail: yq_zhao@tju.edu.cn



林长龙 男, 1988年4月出生于吉林省长春市。现为龙芯中科技股份有限公司高级工程师。主要研究方向为高速电路技术。
E-mail: slideshare@163.com



李尧 男, 1995年5月出生于天津市北辰区。现为天津大学微电子学院助理研究员、博士后。主要研究方向为混合信号集成电路设计。
E-mail: liyao@tju.edu.cn



丁健平 男, 1988年12月出生于河南省开封市。现为中国科技大学微电子学院博士研究生。主要研究方向为高速电路设计。
E-mail: Emerson.Ding@outlook.com